

⑫ 公開特許公報(A)

平4-54718

⑤ Int. Cl.⁵

識別記号

庁内整理番号

⑬ 公開 平成4年(1992)2月21日

H 03 H 21/00
17/02A
N8731-5 J
8731-5 J
8731-5 J
9199-5 K

H 04 B 3/23

審査請求 未請求 請求項の数 1 (全8頁)

⑭ 発明の名称 エコーキャンセラ

⑯ 特 願 平2-165909

⑰ 出 願 平2(1990)6月25日

⑱ 発 明 者 高 橋 豊 東京都港区芝5丁目7番1号 日本電気株式会社内
 ⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目7番1号
 ⑳ 代 理 人 弁理士 内 原 晋

明 細 書

1. 発明の名称

エコーキャンセラ

2. 特許請求の範囲

送信信号とエコーキャンセラ後の受信信号の相関を取りその結果を用いてアダプティブ・デジタル・フィルタのタップ係数を適応可変するエコー・キャンセラにおいて、該アダプティブ・デジタル・フィルタの出力信号を該アダプティブ・デジタル・フィルタの動作周波数の整数倍でサンプリングしデルタ・シグマ変調を行う変調回路と、該変調回路出力を入力とするD/A変換回路と、該D/A変換回路の出力と受信信号を加算する加算回路を有する事を特徴とするエコーキャンセラ。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は2線式デジタル伝送装置等に用いるエ

コーキャンセラに関し、特にアダプティブ・デジタル・フィルタを用いた適応可変型エコーキャンセラに関する。

〔従来の技術〕

従来のエコーキャンセラは入力信号をA/D変換回路によりデジタル信号に変換し、そのデジタル信号とアダプティブ・デジタル・フィルタにより発生したエコーレプリカ信号をデジタル的に減算し、エコー信号のキャンセルを行う構成となっていた(例えば、ISSCC'89 DIGEST pp256-257 "An ANSI Standard ISDN Transceiver Chip Set"、同DIGEST pp258-259 "An ISDN Echo Cancelling Transceiver Chip Set for 2B1Q Coded U-Interface"、同DIGEST pp260-261 "2B1Q Transceiver for the ISDN Subscriber Loop")。

次に従来のエコーキャンセラの動作について説明する。

第9図に従来の2線式デジタル伝送装置に用いるエコーキャンセラの基本的な構成を示す。図9

において、参照数字83は遅延回路、84はD/A変換回路、85はローパス・フィルタ、86はライン・ドライバ、87はバランシング・ネットワーク、88は加算回路、89はローパス・フィルタ、90はA/D変換回路、91はデジタル・ローパス・フィルタ、92は加算回路、93は線路等化回路、94はアダプティブ・デジタル・フィルタ、95はスイッチ、R3及びR4は抵抗、Trはトランス、TDは送信信号、RDはエコーキャンセラ後の受信信号を示し、端子L1及びL2に2線式伝送路が接続される。送信信号TDは遅延回路、D/A変換回路、ローパス・フィルタ、ライン・ドライバ、トランスを介して伝送路に送出される。抵抗R3及びR4とバランシング・ネットワーク(87)と加算回路(88)はハイブリッド回路を構成している。今、トランスと伝送路のインピーダンスをZ1、バランシング・ネットワークのインピーダンスをZbとすると、 $R4/Zb = R3/Z1$ の条件が満足されれば、ブリッジ回路が平衡状態にあり加算回路の出力には

相手側の送信信号、即ちファー・エンド・シグナルのみが出力される。この様にバランシング・ネットワークのみで完全な平衡条件を実現する事ができれば、送信信号の受信部への回り込み、即ちエコーは発生しない。ところが、伝送路が分布定数回路であるのに対して、バランシング・ネットワークは一般的に集中定数回路で構成されるため、完全な平衡条件を実現する事ができない。従ってバランシング・ネットワークによりある程度エコーが抑圧されるが、完全に零にすることはできない。そこで受信部にエコーキャンセラが必要となる。今、バランシング・ネットワークのエコー抑圧量を20dB、伝送線路の最大損失を50dBとし、20dBの信号/エコー信号比を得ようとする、エコーキャンセラは50dBのエコー抑圧を実現しなければならないことになる。

次に受信部の動作について説明する。

前述の様に加算回路(88)の出力にはファー・エンド信号とエコー信号の加算信号が出力される。この信号はローパス・フィルタ(89)で帯域外

雑音を除去した後A/D変換回路(90)でデジタル信号に変換される。このA/D変換回路は高い線形性が要求されるため、一般的にはオーバーサンプリング型のA/D変換器が用いられる。本従来例はこのオーバーサンプリング型A/D変換器を用いた構成をしめしている。デジタル・ローパス・フィルタ(91)はオーバーサンプリング型A/D変換器の出力を入力し、高周波の量子化雑音除去及びオーバーサンプリング周波数からボーレート周波数(送信信号TDの周波数)へのデシメーションを行う。次にデジタル・ローパス・フィルタの出力はアダプティブ・デジタル・フィルタ(94)の出力と加算回路(92)で加算される。アダプティブ・デジタル・フィルタの動作の詳細は後で説明するが、ここでボーレートのエコーレプリカが発生され、アダプティブ・デジタル・フィルタが引き込みを完了していれば加算回路(92)の出力では完全にエコー信号が除去される。従って加算回路(92)の出力にはファー・エンド信号のみが出力される。このファー

・エンド信号は線路等化回路(93)で伝送歪を除去し、受信信号(RD)を出力する。

次にエコーレプリカを発生するアダプティブ・デジタル・フィルタについて説明する。第10図は代表的なアダプティブ・デジタルフィルタの構成例を示した物である。入力端子(IN1)には送信信号(TD)が入力され、入力端子(IN2)には加算回路(92)の出力または線路等化回路(93)の出力が入力される。入力端子(IN2)に入力される信号の選択はスイッチ(95)により行われ、アダプティブ・デジタル・フィルタが引き込みを完了するまでは加算回路出力が選択され、引き込み完了後線路等化回路出力が選択される。今ファー・エンド信号が零の状態を仮定すると入力端子(IN2)に加わる信号はエコーキャンセラの誤差信号を意味する。図中 α は引き込み速度を決定する定数で、一般的には $\alpha < 1$ の値が用いられる。又、図の単位遅延回路(T)はボーレートの1周期の遅延を発生する。各タップに接続された積分回路(98)で送信信号と誤差

信号の相関を取って積分を行なう。この結果として各積分器にはボーレート周期でサンプリングしたエコー波形が蓄積される。またこのエコー波形は送信信号のタイミングに合わせて各タップから出力され、加算回路(99)で加算され、アダプティブ・デジタル・フィルタの出力となる。又、ファーエンド信号が加わった場合においても、ファーエンド信号と送信信号とは無相関であるため上記と同様の動作となる。

〔発明が解決しようとする課題〕

この従来のエコーキャンセラでは、エコー信号がA/D変換回路に入力されるためA/D変換回路の非線形性がエコーキャンセラの特性を決定してしまう。又、A/D変換回路にはエコー信号とファーエンド信号の加算信号が入力されるためA/D変換回路及びエコーレプリカを加算する加算回路に広いダイナミックレンジが要求されるため、回路規模が大きくなるという欠点があった。

上記の欠点を解決する手段として、アダプティブ・デジタル・フィルタの出力をD/A変換し、

ローパス・フィルタで波形成形したエコーレプリカを作成し、A/D変換器の前でエコーレプリカ減算する手段が考えられるが、この方法を実現するためには線形性の非常に高いD/A変換回路およびローパス・フィルタが必要になり、実現が困難である。

〔課題を解決するための手段〕

本発明のエコーキャンセラは、送信信号とエコーキャンセラ後の受信信号の相関を取りタップ係数を適応可変するアダプティブ・デジタル・フィルタと、該アダプティブ・デジタル・フィルタの出力信号を該アダプティブ・デジタル・フィルタの動作周波数の整数倍でサンプリングしデルタ・シグマ変調を行う変調回路と、該変調回路出力を入力とするD/A変換回路と、該D/A変換回路の出力と受信信号を加算する加算回路とを備えている。

〔実施例〕

次に本発明について図面を参照して説明する。第1図は本発明の一実施例のエコーキャンセラの

ブロック図である。図中参照数字1は遅延回路、2はD/A変換回路、3はローパス・フィルタ、4はライン・ドライバ、5はバランシング・ネットワーク、6はアダプティブ・デジタル・フィルタ、7は2次 $\Delta\Sigma$ 変調回路、8はD/A変換回路、9は加算回路、10はローパス・フィルタ、11は加算回路、12は2次 $\Delta\Sigma$ A/D変換回路、13はデジタル・ローパス・フィルタ、14は線路等化回路を示す。ここで遅延回路(1)、D/A変換回路(2)、ローパス・フィルタ(3)、ライン・ドライバ(4)、バランシング・ネットワーク(5)、アダプティブ・デジタル・フィルタ(6)、加算回路(9)、ローパス・フィルタ(10)、デジタル・ローパス・フィルタ(13)、線路等化回路(14)は従来例と同じであるので説明を省略する。以下従来例と異なる点についてのみ説明する。アダプティブ・デジタル・フィルタ(6)は従来例と同様にボーレートのエコーレプリカを出力する。アダプティブ・デジタル・フィルタの出力は2次 $\Delta\Sigma$ 変調回路(7)に入力され、ボーレートの整数倍のオーバーサンプリングレ

ートでサンプリングされた後変調され、オーバーサンプリング周波数の1bitの信号を出力する。この1bitのデジタル信号はD/A変換回路(8)により2値のアナログ信号に変換される。この2値のアナログ信号はローパス・フィルタ(10)で帯域制限された入力信号と加算回路(11)で加算される。この加算回路出力は2次 $\Delta\Sigma$ A/D変換回路(12)に入力され、1bitのデジタル信号に変換される。以下従来例と同様の動作によりエコーキャンセルを行なう。第2図は本実施例に用いるアダプティブ・デジタル・フィルタの例を示したものである。この回路は従来例のアダプティブ・デジタル・フィルタとはほとんど同じであるが、エコーレプリカの加算点をA/D変換回路の前に出したことによるループ遅延の増加を補正するために、乗算回路に加える送信信号のタイミングをずらしている。

第3図は本実施例に用いた2次 $\Delta\Sigma$ 変調回路のブロック図である。図中参照数字19、20は積分回路、21は量子化回路、22は単位遅延回路、23、24は加算回路を示し、すべてオーバーサ

ンプリング周波数で動作する。

第4図は第1図のD/A変換回路(8)と加算回路(10)をスイッチド・キャパシタ・フィルタで構成した実施例を示したものである。図中参照数字25から37はスイッチ、38から41は容量、42は演算増幅器、43はインバータ、44及び45はANDゲートを示す。本実施例を用いることにより、D/A変換回路と加算回路の演算増幅器を共用化することができる。

第5図はD/A変換回路及び加算回路の第二の実施例を示したものである。図中参照数字46から68はスイッチ、69から75は容量、76及び77は演算増幅器、78はコンパレータ、79はスイッチ制御回路、80はインバータ、81及び82はANDゲートをしめす。本実施例は2次 $\Delta\Sigma$ 変換回路にD/A変換回路と加算回路の機能を加えたもので、スイッチ64から68および容量75で構成される部分が1bitのD/A変換回路を構成し、2次 $\Delta\Sigma$ A/D変換回路の第一積分器で加算を行なっている。本実施例を用いるこ

を該アダプティブ・デジタル・フィルタの動作周波数の整数倍でサンプリングしデルタ・シグマ変調を行う変調回路と、該変調回路出力を入力とするD/A変換回路と、該D/A変換回路の出力と受信信号を加算する加算回路を用いることにより、線形性の高いエコーレプリカをA/D変換回路の前で加算することができる。この事によりA/D変換回路の非線形性の影響を小さくすることが出来又、エコー信号がA/D変換回路の前で抑圧されるため、A/D変換回路以降の回路に要求されるダイナミックレンジを小さくすることが出来、また回路の小型化も可能となる。

次にシミュレーション結果により本発明の効果を説明する。第7図(a)及び(b)は非線形性を有するA/D変換回路を使用した場合の残留エコーを示したものである。A/D変換回路の非線形性はA/D変換回路内のスイッチド・キャパシタ積分器のモデルとして5%の入出力間歪を与えることによりモデル化した。(a)は従来のエコーキャンセラ、(b)は本発明によるエコーキャンセラの

とにより、D/A変換回路及び加算回路の演算増幅器が必要なくなり、回路規模を最少化する事が出来る。

第6図は2次 $\Delta\Sigma$ 変調回路の第二の実施例を示す。図中記号Aはデジタル・ローパス・フィルタ、Bは2次 $\Delta\Sigma$ 変調回路(第3図と同一回路)をしめす。本実施例はアダプティブ・デジタル・フィルタの出力であるボーレートのエコーレプリカの補間を行うため、2次 $\Delta\Sigma$ 変調回路の前にオーバーサンプリング周波数で動作するデジタル・ローパス・フィルタを置いたものである。この構成を用いることによりボーレートサンブル点間のエコー抑圧特性が向上する。具体的な効果については後で説明を行なう。

〔発明の効果〕

以上説明したように本発明は、送信信号とエコーキャンセラ後の受信信号の相関を取りタップ係数を適応可変するアダプティブ・デジタル・フィルタを有するエコー・キャンセラにおいて、該アダプティブ・デジタル・フィルタの出力信号

特性を示したものである。本シミュレーション結果から本発明によるエコーキャンセラの方が約10dBエコー抑圧量がおおきいことがわかる。従って本発明のエコーキャンセラはA/D変換回路の非線形性の影響を受けにくいことが判る。

第8図(a)及び(b)は本発明の第一の実施例(a)と第6図に示した第二の実施例(b)の特性を示したものである。デジタル・ローパス・フィルタは96タップのFIRフィルタを用いた。この図は引き込み完了後のエコーキャンセラ出力をプロットしたもので、縦の線はボーレートサンブル点を示す。エコーキャンセラはボーレートサンブル点の在留エコーを零にするように動作するため、ボーレートサンブル点では両方ともエコーが十分抑圧されている。但しボーレートサンブル点以外のエコー抑圧特性はエコーキャンセラループの補間特性で決まるため、第二の実施例の方がボーレートサンブル点以外のエコーが小さくなっている。この様にボーレートサンブル点以外のエコーを小さくすることにより、受信クロックの位相ズ

レによる残留エコーの増加を少なくできる為、タイミング抽出特性を改善する事が出来る。

以上説明したように、本発明を用いることにより、高性能で小型のエコーキャンセルを実現することが出来る。

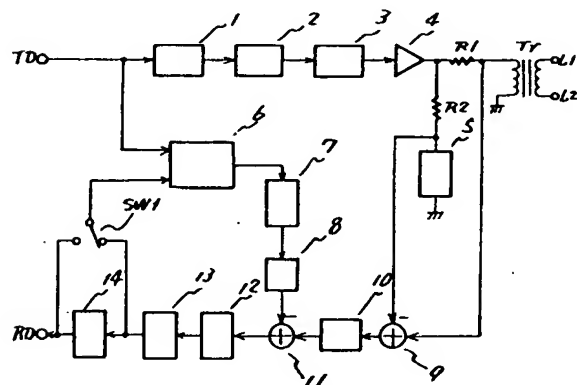
4. 図面の簡単な説明

第1図は本発明の一実施例のブロック図、第2図は第1図のアダプティブ・デジタル・フィルタの構成図、第3図は第1図の2次 $\Delta\Sigma$ 変調回路の構成図、第4図及び第5図は第1図のD/A変換機及び加算回路の第一及び第二の構成図、第6図は第1図の2次 $\Delta\Sigma$ 変調回路の第二の構成図、第7図は従来例及び本発明のエコーキャンセラの残留エコーのシミュレーション結果、第8図は本発明の第一及び第二の実施例のボーレートサンプル点外の残留エコーのシミュレーション結果、第9図は従来のエコーキャンセラのブロック図、第10図は第9図のアダプティブ・デジタル・フィルタの構成図である。

フィルタ、B……2次 $\Delta\Sigma$ 変調回路、83……遅延回路、84……D/A変換回路、85……ローパス・フィルタ、86……ライン・ドライバ、87……バランシング・ネットワーク、88……加算回路、89……ローパス・フィルタ、90……A/D変換回路、91……デジタル・ローパス・フィルタ、92……加算回路、93……線路等化回路、94……アダプティブ・デジタル・フィルタ、95……スイッチ、96……単位遅延回路（記号：T）、97……乗算回路（記号：X）、98……積分回路（記号：I）、99……加算回路（記号：+）。

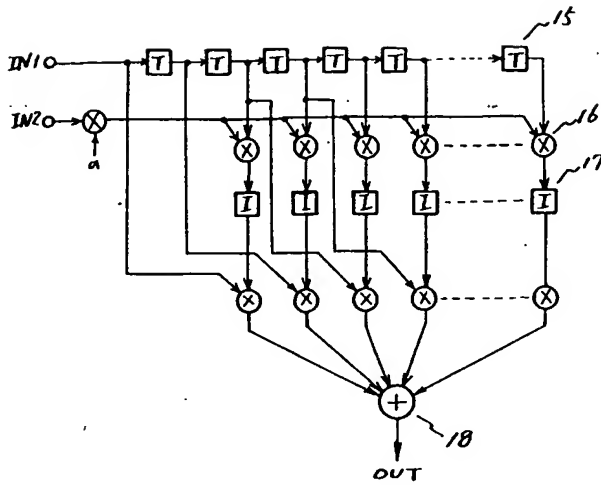
代理人 弁理士 内 原 晋

1 ……遅延回路、2 ……D/A変換回路、3 ……ローパス・フィルタ、4 ……ライン：ドライバ、5 ……バランシング・ネットワーク、6 ……アダプティブ・デジタル・フィルタ、7 ……2次 $\Delta\Sigma$ 変調回路、8 ……D/A変換回路、9 ……加算回路、10 ……ローパス・フィルタ、11 ……加算回路、12 ……2次 $\Delta\Sigma A/D$ 変換回路、13 ……デジタル・ローパス・フィルタ、14 ……線路等化回路、15 ……単位遅延回路（記号：T）、16 ……乗算回路（記号：X）、17 ……積分回路（記号：I）、18 ……加算回路（記号：+）、19、20 ……積分回路、21 ……量子化回路、22 ……単位遅延回路、23、24 ……加算回路、25、37 ……スイッチ、38、41 ……容量、42 ……演算増幅器、43 ……インバータ、44、45 ……ANDゲート、46、68 ……スイッチ、69、75 ……容量、76、77 ……演算増幅器、78 ……コンパレータ、79 ……スイッチ制御回路、80 ……インバータ、81、82 ……ANDゲート、A ……デジタル・ローパス・



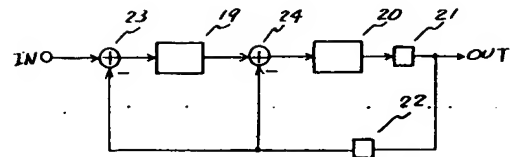
1: 遅延回路 2: Q_A 変換回路 3: ロパス・フィルタ
4: ライン・ドライバ 5: パラシタンス・ネットワーク 6: アンプ
7: デジタル・フィルタ 7: 2次 $\Sigma\Delta$ 変換回路
8: Q_A 変換回路 9: 加算回路 10: ロパス・フィルタ
11: 加算回路 12: 2次 $\Sigma\Delta$ 変換回路
13: デジタル・ロパス・フィルタ 14: 線路等化回路
SW1: スイッチ R1, R2: 抵抗 Tr: トランジスタ

第 1 圖



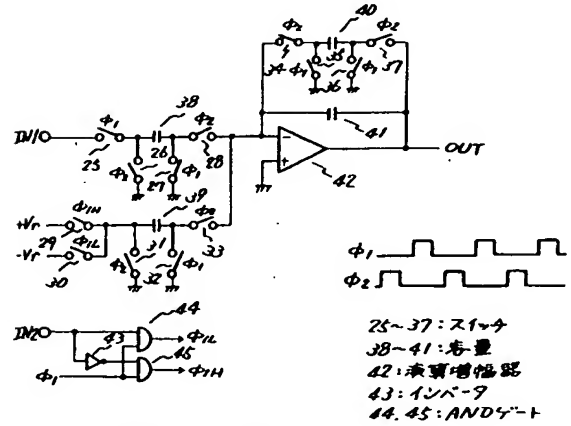
15: 単位遅延回路 (記号: T)
16: 乗算回路 (記号: X)
17: 積分回路 (記号: I)
18: 加算回路 (記号: +)

第2図

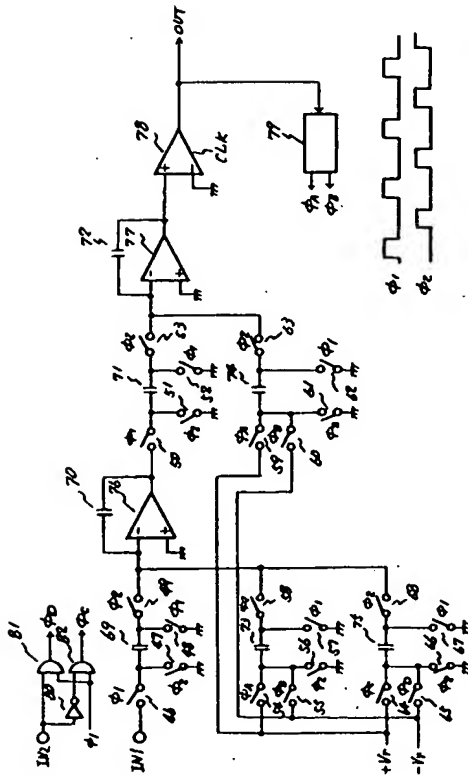


19, 20: 積分回路 21: 量子化回路 22: 単位遅延回路
23, 24: 加算回路

第3図

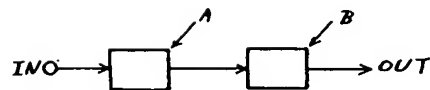


第4図



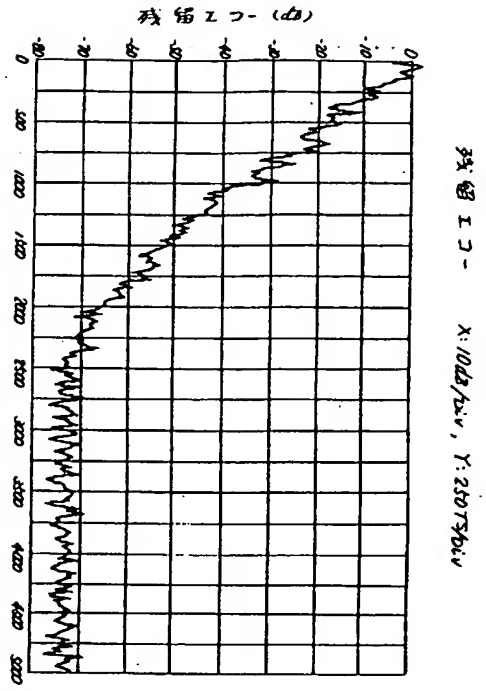
46, 48: スイッチ 69, 75: 容量 76, 77: 演算増幅器 78: コンパレータ 79: スイッチ制御回路 80: ANDゲート 81, 82: ANDゲート

第5図

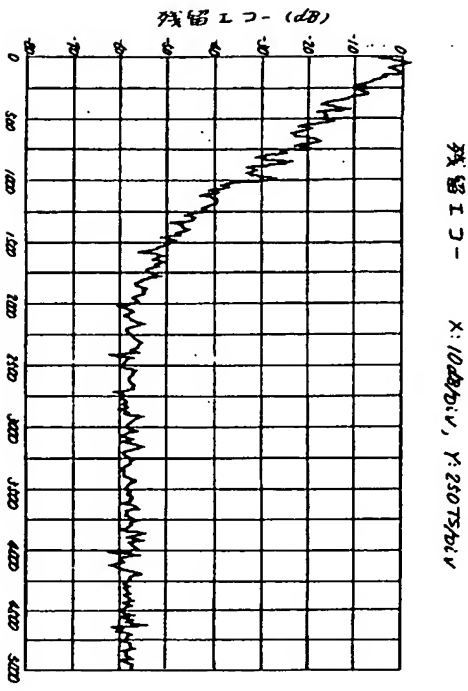


A: デジタルD-パス・フィルタ B: 2次AE変調回路

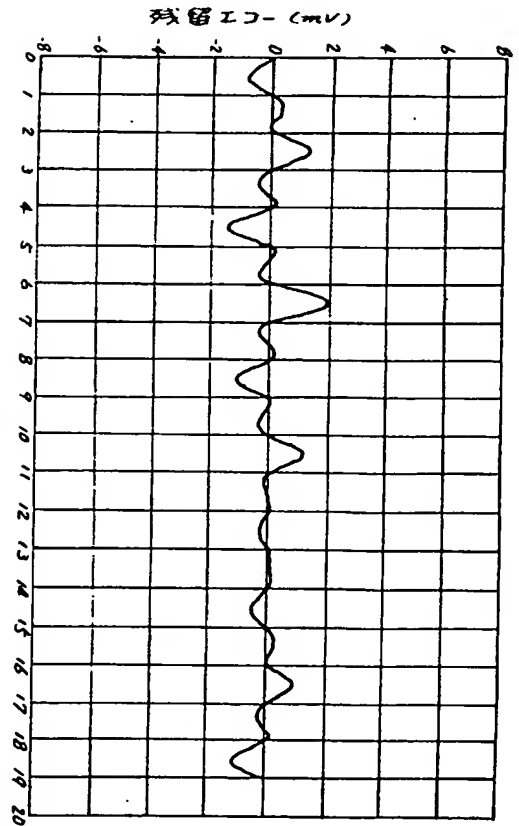
第6図



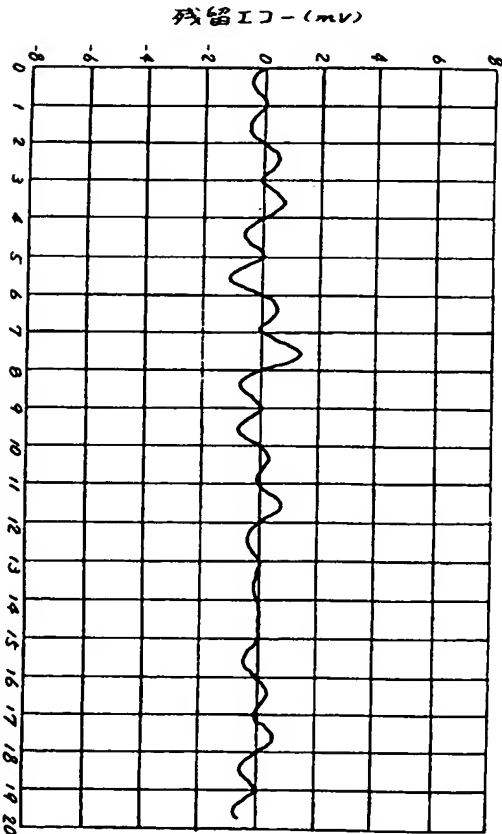
第7図 (b)



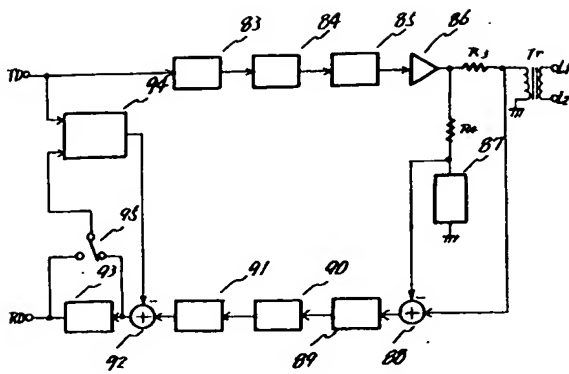
第7図 (a)



第8図 (a)

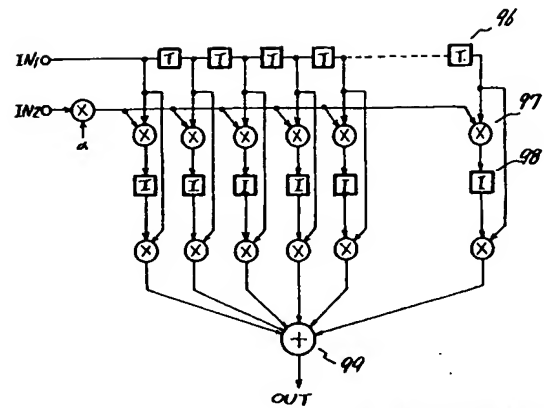


第8図 (b)



83: 通電回路 84: DA変換回路 85: ロパスフィルタ
 86: フォロワー 87: バランスネットワーク 88: 加算回路
 89: ロパスフィルタ 90: アナログ変換回路 91: デジタルロパスフィルタ
 92: 加算回路 93: 線路等化回路 94: デジタルフィルタ 95: スイッチ

第9図



96: 単位遅延回路 (記号: T)
 97: 乗算回路 (記号: X)
 98: 積分回路 (記号: I)
 99: 加算回路 (記号: +)

第10図